

Docket No.: 67162-020

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
<b>Norihiko HAKUSHI, et al.</b>	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 05, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR MEMORY DEVICE	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2002-261460, filed September 6, 2002.**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:gav:mcw  
Facsimile: (202) 756-8087  
**Date: September 5, 2003**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

67162-020

HAKUSHI et al

September 5, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月 6日

出 願 番 号

Application Number:

特願2002-261460

[ ST.10/C ]:

[ JP2002-261460 ]

出 願 人

Applicant(s):

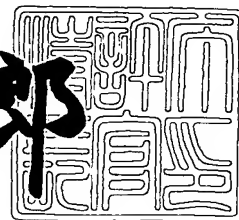
三菱電機株式会社

三菱電機エンジニアリング株式会社

2003年 4月22日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3029276

【書類名】 特許願

【整理番号】 540533JP01

【提出日】 平成14年 9月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

【住所又は居所】 東京都千代田区大手町二丁目 6 番 2 号 三菱電機エンジニアリング株式会社内

【氏名】 白子 典彦

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

【氏名】 大庭 敦

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

【氏名】 吉村 芳正

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

【氏名】 中山 武志

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 591036457

【住所又は居所】 東京都千代田区大手町二丁目 6 番 2 号

【氏名又は名称】 三菱電機エンジニアリング株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 不揮発性の第 1 のメモリと、ランダムアクセス機能を有する第 2 のメモリとを 1 つのパッケージに収納し、第 1 のメモリと第 2 のメモリ間の内部データ転送が可能な半導体記憶装置であって、

第 2 のメモリに対する制御信号として、内部データ転送を制御する内部転送用の制御信号と、外部 CPU と第 2 のメモリ間のデータ転送を制御する外部転送用の制御信号とが規定されており、

前記第 2 のメモリは前記第 1 及び第 2 のメモリに対するデータ・アクセスを制御するコントローラを内蔵し、

該コントローラは、内部データ転送中に、外部 CPU から第 2 のメモリに対してアクセス要求があったときに、その内部データ転送を中断するよう前記内部転送用の制御信号を制御することを特徴とする半導体記憶装置。

【請求項 2】 前記コントローラは、内部データ転送の中断時に、外部 CPU に対してアクセスの待機を要求する信号を出力することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記コントローラは、内部データ転送を中断したときに、中断時のアドレスを保持し、内部データ転送の再開時にはその保持したアドレスから転送を開始することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 前記コントローラは、内部データ転送の中断中において、外部 CPU からの第 2 のメモリに対するアクセスが所定時間ないときに、中断中の内部データ転送を再開させることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】 前記コントローラは、外部 CPU からの中断命令を書き込むビットを格納する手段を備えたことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 前記第 2 のメモリのメモリ領域を複数のバンクに分割したことを特徴とする請求項 1 ないし 5 のいずれか一に記載の半導体記憶装置。

【請求項 7】 前記第 2 のメモリはデュアルポート機能を有するメモリであることを特徴とする請求項 1 ないし 5 のいずれかに記載の半導体記憶装置。

【請求項 8】 前記コントローラは、前記第 1 のメモリに格納された所定のデータを、パワーオン時に前記第 2 のメモリの所定の領域へ自動的に転送することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 9】 前記コントローラは、前記所定のデータに関する、転送元アドレスと、転送先アドレスと、転送データ数とを格納することを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 10】 前記第 1 のメモリにおいてメモリ領域が複数のセクタに分割され、各セクタ毎にそのセクタがパワーオン時に自動的に転送されるデータを含むか否かを示すフラグを設けたことを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 11】 前記第 2 のメモリはデータ保持のためのリフレッシュ動作を必要とし、そのリフレッシュ動作は特定の領域に対してのみ実施される場合において、

前記第 2 のメモリの、パワーオン時に自動的に転送されるデータを格納する領域は、前記リフレッシュ動作が実施される特定の領域に自動的に設定されることを特徴とする請求項 8 記載の半導体記憶装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は携帯電話機等の小型情報端末に使用されるメモリシステムに関する。

##### 【0002】

#### 【従来の技術】

携帯電話機等の小型情報端末のメモリシステムは、主に CPU の命令コード及び各種データ記憶用としてのリニアフラッシュメモリと、CPU のワークエリアとして一時的にデータを記憶するための SRAM とで構成されている。特に、実装面の制約が厳しい携帯電話機等の小型情報端末においては、これらリニアフラッシュメモリと SRAM を 1 つのパッケージに収納した MCP (Multi Chip Pac

kage) が採用されている。

【 0 0 0 3 】

近年の端末の高機能化、通信サービスの高速化に伴い、メモリ容量の大容量化が強く要求され、これらリニアフラッシュメモリ及びSRAMの容量不足が問題となってきた。

【 0 0 0 4 】

このような問題点の対策として、SRAMについては、DRAM同様1トランジスタ型ダイナミックメモリセルを採用し、SRAMと同じインタフェースを有する擬似SRAM素子の採用によりメモリ容量の増大が可能となった。

【 0 0 0 5 】

一方、ストレージフラッシュメモリには、大容量記憶の用途に適したブロック（セクタ）アクセスタイプのAND/NAND型等のストレージフラッシュメモリが製品化されているが、これらはその仕様上の特徴からCPUバスへの直結が困難なため、専用のインタフェース回路を外付けするか、又はCPUとのポート接続による低速アクセスしかできないという問題があった。また、ストレージフラッシュメモリに対し直接にランダムアクセスすることは不可能なため、ランダムアクセス機能を実現するために、一旦RAM上にデータを転送し、CPUからRAMにアクセスする必要があるが、この方法では、大容量のRAMが必要になるという問題がある。

【 0 0 0 6 】

そこで、そのようなストレージフラッシュメモリ固有の問題点を解決する手段として、ストレージフラッシュメモリのインタフェース回路または制御機能を内蔵した擬似SRAM素子が考案された（特願2001-111259参照）。これにより、ストレージフラッシュメモリとCPUインタフェースの不整合を解決することができ、メモリ容量の大容量化が可能となった。

【 0 0 0 7 】

【発明が解決しようとする課題】

しかし、上記のような擬似SRAM素子を有するMCP内部でのデータ転送において次の問題がある。すなわち、ストレージフラッシュと擬似SRAM間のデ

ータ転送中に、外部CPUからアクセスされた場合に、転送要求が競合するため、この競合をいかに調停するかという問題がある。

【0008】

本発明は上記課題を解決すべくなされたものであり、その目的とするところは、ストレージフラッシュと擬似SRAMを1つのパッケージに封止した半導体記憶装置において、ストレージフラッシュと擬似SRAM間のデータ転送動作中に外部のCPUから転送要求があったときの競合調停を可能とする半導体記憶装置を提供することにある。

【0009】

【課題を解決するための手段】

本発明に係る半導体記憶装置は、不揮発性の第1のメモリと、ランダムアクセス機能を有する第2のメモリとを1つのパッケージに収納し、第1のメモリと第2のメモリ間の内部データ転送が可能な半導体記憶装置である。第2のメモリに対する制御信号として、内部データ転送を制御する内部転送用の制御信号と、外部CPUと第2のメモリ間のデータ転送を制御する外部転送用の制御信号とが規定されている。第2のメモリは第1及び第2のメモリに対するデータ・アクセスを制御するコントローラを内蔵している。コントローラは、内部データ転送中に、外部CPUから第2のメモリに対してアクセス要求があったときに、その内部データ転送を中断するよう前記内部転送用の制御信号を制御する。

以上の構成の本発明の半導体装置は、内部データ転送中に外部アクセスの要求があったときに内部転送を中断するため、アクセス競合に対して混乱を生じることなく応答することができる。

【0010】

コントローラは、内部データ転送の中断時に、外部CPUに対してアクセスの待機を要求するWAIT信号を出力してもよい。このWAIT信号により、内部データ転送が中断されるまで、CPUからのアクセスを待機させることができる。

【0011】

また、コントローラは、内部データ転送を中断したときに、中断時のアドレス



を保持し、内部データ転送の再開時にはその保持したアドレスから転送を開始してもよい。これにより、内部データ転送を過不足なく効率良く実行できる。

## 【 0 0 1 2 】

また、コントローラは、内部データ転送の中断中において、外部CPUからの第2のメモリに対するアクセスが所定時間ないときに、中断中の内部データ転送を再開させるようにしてもよい。これにより、確実にCPUによる外部アクセスが完了した後に、内部データ転送を再開できる。

## 【 0 0 1 3 】

また、コントローラは、外部CPUからの中断命令を書き込むビットを格納する手段を備えてもよい。これにより、WAIT信号入力を持たないCPUからのアクセスに対してもアクセス競合の調停ができる。

## 【 0 0 1 4 】

第2のメモリのメモリ領域を複数のバンクに分割してもよい。これにより、内部転送中であっても、第1のメモリと第2のメモリ間データ転送を行っていない方の擬似SRAMのバンクへのCPU70のアクセスに対しては調停を必要とせず、即座にデータ転送を実行できる。

## 【 0 0 1 5 】

第2のメモリはデュアルポート機能を有するメモリであってもよい。これにより、第2のメモリが常時アクセス可能となり、内部転送途中でデータ転送を中断させるような競合調停処理が不要となる。

## 【 0 0 1 6 】

また、コントローラは、電源投入時に、第1のメモリに格納された所定のデータを、パワーオン時に前記第2のメモリの所定の領域へ自動的に転送するようにしてもよい。電源投入時に第2のメモリに転送される所定のデータを第1のメモリに格納しておくことにより、所定のデータを格納する専用のメモリが不要となり、回路規模、製造コストを低減できる。

## 【 0 0 1 7 】

その際、コントローラは、所定のデータに関する、転送元アドレスと、転送先アドレスと、転送データ数とを格納するのが好ましい。これらの情報により、デ

ータ転送が可能となる。

【0018】

また、第1のメモリがメモリ領域が複数のセクタに分割されており、各セクタ毎に、そのセクタがパワーオン時に自動的に転送されるデータを含むか否かを示すフラグを設けてもよい。このフラグにより、第1のメモリのセクタに格納されているデータの種別が判断できるため、格納されているデータを不用意に書き替えたり、消去したりしないよう管理することも可能となる。

【0019】

また、第2のメモリがデータ保持のためのリフレッシュ動作を必要とし、そのリフレッシュ動作は特定の領域に対してのみ実施される場合においては、第2のメモリの、パワーオン時に自動的に転送されるデータを格納する領域は、リフレッシュ動作が実施される特定の領域に自動的に設定されるようにするのが好ましい。これにより、確実なデータ保持動作が可能となる。

【0020】

【発明の実施の形態】

以下添付の図面を参照して、本発明に係る半導体記憶装置の実施の形態を詳細に説明する。

【0021】

実施の形態1.

<1. 1 構成>

図1に、本発明に係る半導体記憶装置の構成を示す。半導体記憶装置はランダムアクセスメモリ（以下「RAM」という。）10とストレージフラッシュメモリ（以下「フラッシュメモリ」と略す。）60とを含む。RAM10とフラッシュメモリ60は図2に示すように1つのMCP100に収納されている。

【0022】

図1に示すように、RAM10はフラッシュメモリ60とCPU70に接続されている。RAM10は、データ記憶部として大容量の擬似SRAM40を備える。擬似SRAMとは、各セルにおいて1つのトランジスタと1つのコンデンサを含む一般的なDRAMのメモリセルと同様の構成を有する1トランジスタ型の

ダイナミックメモリセルを採用し、かつ、SRAMと同じインタフェース仕様を有する大容量メモリのことである。

【0023】

図1に示すように、RAM10は、フラッシュメモリ60および擬似SRAM40の動作に必要な制御信号およびタイミングを生成するフラッシュコントローラ20を備える。

【0024】

フラッシュコントローラ20は、バス制御回路17と、レジスタ群21と、タイミングジェネレータ23と、フラッシュメモリインタフェース(I/F)25と、クロック生成回路26と、ECC回路27と、セクタバッファ29と、PSRAMコントローラ31とを含む。フラッシュコントローラ20は例えばクロックに同期して各種信号を生成する順序回路(ハードウェア)で構成される。なお、フラッシュコントローラ20を、組み込み型のCPUコアとその命令コードを格納したメモリを内蔵し、これによりハードウェアを制御するようにしてもよい。そのように構成することにより、より柔軟で高度な制御が可能となる。

【0025】

また、RAM10は、擬似SRAM40に対して入力するアドレスと制御情報とを切替えるためのセクタ33a、33bを備える。セクタ33a、33bは、擬似SRAM40とフラッシュメモリ60との間のデータ転送時と、それ以外のデータ転送時とで、擬似SRAM40に入力するアドレス及び制御情報の切替を行なう。

【0026】

レジスタ群21は、CPU70からのコマンドを格納するコマンドレジスタ21a、フラッシュメモリ60上のアクセスすべきセクタアドレスを格納するスタートアドレスレジスタ21b、擬似SRAM40上のアクセスすべきアドレスを格納するPSRAMアドレスレジスタ21c、ステータス情報を格納するステータスレジスタ21d及び転送データを所定の単位でカウントした値を含む転送カウントレジスタ21eを含む。

【0027】

クロック生成回路 2 6 は、外付けの発振子 2 8 からの出力を用いて基本内部クロックを生成する。

#### 【 0 0 2 8 】

ECC 回路 2 7 は、フラッシュメモリ 6 0 とセクタバッファ 2 9 間で転送されるデータに対し、フラッシュメモリ 6 0 へのデータ書き込み時はチェックコードの生成（ECC 符号化処理）を、フラッシュメモリ 6 0 からのデータ読出し時はエラー検出／訂正（ECC 復号化処理）を実施する。

#### 【 0 0 2 9 】

タイミングジェネレータ 2 3 はフラッシュコントローラ 2 0 内の各ブロックのタイミングを生成する。すなわち、タイミングジェネレータ 2 3 は、CPU 7 0 のクロックとは非同期に、クロック生成回路 2 6 で生成される基本内部クロックからフラッシュメモリ 6 0 および擬似 SRAM 4 0 の動作に必要な全てのタイミングを生成する。

#### 【 0 0 3 0 】

フラッシュコントローラ 2 0 の動作シーケンスは、CPU 7 0 によりレジスタ群 2 1 の各レジスタ 2 1 a ～ 2 1 e に書き込まれた各種パラメータおよびコマンドにより決定される。すなわち、フラッシュコントローラ 2 0 は、CPU 7 0 によって各レジスタ 2 1 a ～ 2 1 e に書き込まれた各種パラメータおよびコマンドに応じて制御信号を生成し、フラッシュメモリ 6 0 及び擬似 SRAM 4 0 に対する制御を行なう。

#### 【 0 0 3 1 】

フラッシュメモリ 6 0 と CPU 7 0 間のデータ転送は、セクタバッファ 2 9 を介して実施される。また、PSRAM コントローラ 3 1 により、タイミングジェネレータ 2 3 の制御によってセクタバッファ 2 9 と擬似 SRAM 4 0 間のデータ転送が制御される。

#### 【 0 0 3 2 】

### < 1. 2 RAM-フラッシュメモリ間のデータ転送 >

フラッシュメモリ 6 0 から RAM 1 0 へのデータ転送について説明する。まず、フラッシュメモリ 6 0 から RAM 1 0 へのデータ転送は次のようにして行なわ

れる。

【 0 0 3 3 】

CPU70は、読み出すべきフラッシュメモリ60のセクタアドレスおよび読出しコマンドをレジスタ群21内のスタートアドレスレジスタ21b及びコマンドレジスタ21aに書き込む。セクタアドレス、コマンド（CMD）の順で書き込まれる。コマンドレジスタ21aへの書き込みを、アドレス制御回路15およびモード切替／タイミング制御回路13で検出し、書き込みが検出されると、フラッシュコントローラ20へトリガ信号を入力する。このトリガ信号により、フラッシュコントローラ20の制御による内部動作に移行する。コマンドレジスタ21aに書かれたコマンドコードに応じて、クロック生成回路26の基準クロックからフラッシュメモリ60の読出しに必要な信号およびタイミングを生成する。そのタイミングにしたがい、セクタアドレスレジスタ21bに設定されたセクタから1セクタ分のデータが読み出され、フラッシュメモリI/F25を介してセクタバッファ29へ転送される。

【 0 0 3 4 】

セクタバッファから擬似SRAMの指定アドレスへのセクタデータの転送は次のようにして行なわれる。

【 0 0 3 5 】

CPU70は、擬似SRAM40における書き込みアドレスを、PSRAMアドレスレジスタ21cにセット後、コマンドコードをコマンドレジスタ21aに書き込む。コマンドレジスタ21aへのコマンドの書き込みにより、フラッシュコントローラ20が内部動作の制御を開始する。バス制御回路17により、セクタバッファ29と擬似SRAM40との間のバスが接続され、タイミングジェネレータ23の制御によりセクタバッファ29内の先頭データから順次内部バス上に読み出されると同時に、擬似SRAM40に対し、指定アドレスから順次書き込みが行われる。以上のように、フラッシュメモリ60からRAM10（すなわち、擬似SRAM40）へのデータ転送が行なわれる。RAM10からフラッシュメモリ60へのデータ転送も同様にして可能である。

【 0 0 3 6 】

### ＜ 1 . 3 内部データ転送の中断、再開の手順＞

RAM 1 0 は、擬似 S R A M 4 0 とフラッシュメモリ 6 0 間のデータ転送中に、外部 C P U 7 0 からアクセス要求があった場合、そのデータ転送を中止する。その後、C P U 7 0 のアクセスが終了すると、擬似 S R A M 4 0 とフラッシュメモリ 6 0 間のデータ転送を再開する。以下にその手順を説明する。

#### 【 0 0 3 7 】

手順を説明する前に擬似 S R A M 4 0 に対する制御信号を説明する。

擬似 S R A M 4 0 には、外部 C P U 7 0 からのアクセスによるデータ転送制御に使用する制御信号として種々の信号が規定されている。例えば、以下の制御信号がある。

／ C S 1 (チップセレクト) : 外部 C P U 7 0 から擬似 S R A M 4 0 に対してアクセス要求する際にアクティブにされる。

／ O E (出力イネーブル) : 擬似 S R A M 4 0 からのデータ読み出しを可能にする際にアクティブにされる。

／ W E (ライトイネーブル) : 擬似 S R A M 4 0 へのデータの書き込みを可能にする際にアクティブにされる。

ここで、信号名の「／」の記号はその信号がアクティブ・ローで動作することを意味する。例えば、外部 C P U 7 0 から擬似 S R A M 4 0 に対してアクセスを行なう場合、外部チップセレクト信号／ C S 1 がアクティブ (" L ") にされる。

#### 【 0 0 3 8 】

さらに、擬似 S R A M 4 0 には、上記の外部アクセスに対する制御信号とは別に、内部のフラッシュメモリ 6 0 やその他のメモリとの間でデータを転送 (以下このような半導体内部の素子間のデータ転送を「内部転送」という。) するときのみ使用する以下の制御信号が規定されている。

／ T C E (チップセレクト) : 擬似 S R A M に対して内部転送を要求する際にアクティブにされる。

／ R C E (リードイネーブル) : 内部転送において擬似 S R A M からのデータ読み出しを可能とする際にアクティブにされる。

／ W C E (ライトイネーブル) : 内部転送において擬似 S R A M へのデータ書

き込みを可能とする際にアクティブにされる。

【 0 0 3 9 】

図 3 を参照し、内部転送中に CPU 7 0 から擬似 S R A M 4 0 へアクセス要求があったときの中断の手順を説明する。

【 0 0 4 0 】

内部転送中に外部チップセレクト信号 / C S 1 をアクティブ (" L ") にした場合 ( 図 3 ( d ) 参照 ) 、フラッシュコントローラ 2 0 内の P S R A M コントローラ 3 1 は内部転送用の制御信号 / T C E 、 / R C E 、 / W C E を、外部チップセレクト信号 / C S 1 をアクティブ (" L ") になった時点 (  $T_1$  ) から所定時間 (  $t_1$  ) 経過後に自動的に非アクティブ (" H ") にする ( 図 3 ( b ) 、 ( c ) 参照 ) 。これにより、内部転送が中断される。所定時間  $t_1$  は、外部チップセレクト信号 / C S 1 がアクティブ (" L ") になった時点 (  $T_1$  ) から、中断が開始されるまでに、進行中の転送が確実に完了するのに要する時間に設定する。

【 0 0 4 1 】

その際、中断した転送元データのページのアドレスをフラッシュコントローラ 2 0 内のレジスタに保持する。ここで、中断したページのアドレスは、そのアドレスの値自体がフラッシュコントローラ 2 0 内の所定のレジスタに保持されてもよいし、内部転送の開始アドレスと内部転送されたデータのカウンタ値を保持してもよい。内部転送の開始アドレスと内部転送されたデータのカウンタ値から中断したページのアドレスが容易に計算できるからである。このとき、内部転送の開始アドレスはスタートアドレスレジスタ 2 1 b に保持され、内部転送されたデータのカウンタ値は転送カウンタレジスタ 2 1 e に保持される。

【 0 0 4 2 】

このとき、また、外部 CPU からの擬似 S R A M 4 0 へのアクセスに関し、内部転送の中断処理により、通常よりも応答時間が遅れるため、フラッシュコントローラ 2 0 は CPU 7 0 に対して、アクセスを待つよう要求する W A I T 信号を出力してもよい。

【 0 0 4 3 】

次に、図 4 を参照し、CPU 7 0 の擬似 S R A M 4 0 へのアクセス終了後の内

部転送の再開の手順を説明する。

【 0 0 4 4 】

CPU70からの外部アクセスによって内部転送を中断していた擬似SRAM40において、外部アクセス用チップイネーブル信号／CS1を非アクティブ（"H"）にした時点（ $T_2$ ）から、所定時間（ $t_2$ ）経過しても、外部アクセス用チップイネーブル信号／CS1がアクティブにされなければ、PSRAMコントローラ31は自動的に、内部転送用制御信号／TCEをアクティブ（"L"）にし、続いて、内部転送用ライトイネーブル信号／WCEまたはリードイネーブル信号／RCEをアクティブにする。これにより、中断された内部転送が再開される。このとき、フラッシュコントローラ20内に保持されていたアドレスから転送が再開されるので、過不足なく、効率的にデータ転送を完了することができる。また、転送再開のために所定時間 $t_2$ の経過を待つのは、一つの外部アクセスが終了後、直ぐに別の外部アクセスが開始されることがあるため、一つの外部アクセスが終了後にそのような連続した外部アクセスがないことを判断するためである。

【 0 0 4 5 】

以上のように、本実施形態における半導体記憶装置は、外部のCPU70からのアクセスに対して、実行中の内部転送動作を中断、再開することが可能となるため、内外のアクセスの競合に対しても混乱を生じることなく、応答することができる。また、内部転送動作の中断処理中であることを外部のCPU70に知らせるWAIT信号の発行機能、及び転送再開アドレスの復元機能を有することにより、CPU70に不要な待ち時間をかけることなく内外のデータ転送を完了することができ、システムのデータ転送性能を向上させることができる。

【 0 0 4 6 】

実施の形態2.

実施の形態1では、擬似SRAM40に対する制御信号を、半導体記憶装置の外部からのアクセスに関するものと、半導体記憶装置の内部のアクセスに関するものとに分けていた。外部CPU70からのアクセス要求であるチップセレクト信号／CS1をトリガとして内部転送の中断、再開を制御していたが、そのタイ



ミングについてはCPU70に依存するところが大きく、所望の性能を確保することが困難であったり、また、WAIT信号入力を持たないCPUの場合は調停不可能な場合がある。そこで、本実施形態では、CPU70によるコマンド入力タイミングに依存しない内部転送の中断、再開の手順を説明する。

## 【0047】

図5に示すように、フラッシュコントローラ20内のレジスタ群21において制御レジスタ21xが準備されている。制御レジスタ21xは、種々の設定のためのビットを有する。例えば、書き込み保護、転送サイズ等を指定するためのビットを有する。特に、本実施形態においては、この制御レジスタ21xは内部転送サスペンド・ビット22xを有する。この内部転送サスペンド・ビット22xは、CPU70が内部転送の中断を指示するためのビットであり、内部転送中にCPU70が擬似SRAM40に対してアクセスを要求するときに「1」に設定される。

## 【0048】

すなわち、CPU70は、擬似SRAM40に対してアクセス要求を行なうときは、内部転送サスペンドビット22xに「1」をセットし、ホストからのアクセス要求があることを半導体記憶装置に通知する。フラッシュコントローラ20は本ビットが「1」に設定されると、直ちに内部転送を中断し、各コントロールラインをPSRAMコントローラ31から、外部のインタフェースに切り替え、アクセス権をCPU70に渡す。

## 【0049】

制御レジスタ21xは書き込み、読み出し可能なレジスタであるが、サスペンド設定時の読み出し値は、実際に内部転送中断処理が完了するまで「0」を保持し、外部からの制御信号を受付可能な状態になってはじめて「1」を返すように制御される。このため、CPU70は本ビットを読み出すことにより、確実に内部の動作状態を確認でき、かつ、双方のアクセスについて競合を解消できる。すなわち、本ビットが「0」であれば内部転送動作中であることを、「1」であれば内部転送中断状態であることが分かる。

## 【0050】

中断した内部転送の再開は内部転送サスペンドビット 2 2 x を「0」に設定することにより行なう。すなわち、外部アクセスは CPU 7 0 の管理下にあるので、CPU 7 0 は外部アクセスが終了すると、サスペンドビット 2 2 x に「0」を設定する。サスペンドビット 2 2 x が「0」に設定されることにより、フラッシュコントローラ 2 0 は外部アクセスが完了したものと判断し、直ちに、PSRAM コントローラ 3 1 からの制御信号を有効とし、中断していた内部転送を再開する。その際、転送を再開するデータの転送元及び転送先のアドレスとしては、中断時にレジスタ群 2 1 に保持されていたアドレスを用いる。

## 【 0 0 5 1 】

以上のように本実施形態における半導体記憶装置は、CPU 7 0 からの中断要求を示すフラグビットを用いることにより CPU 7 0 からのコマンド書き込みタイミングに依存せず、内外アクセスの競合を処理することができ、メモリの汎用性を維持しながらシステムのデータ転送性能を向上できる。

## 【 0 0 5 2 】

## 実施の形態 3.

実施の形態 1 では、擬似 SRAM 4 0 のメモリ空間は単一であるため、フラッシュメモリ 6 0 と CPU 7 0 からのアクセスが重複した場合、フラッシュコントローラ 2 0 による調停作業が必要な上、いずれか一方のデータ転送が完了するまで、もう一方のデータ転送を保留させなければならなかった。そこで、本実施形態では、図 6 に示すように、擬似 SRAM 4 0' のメモリ空間を 2 つのバンク 4 0 a、4 0 b に分割し、それぞれを独立して制御できるようにする。これにより、内部転送中であっても、フラッシュメモリ 6 0 とデータ転送を行っていない方の擬似 SRAM のバンクへの CPU 7 0 のアクセスに対しては調停を必要とせず、即座にデータ転送を実行できる。また、フラッシュメモリ 6 0 とデータ転送を行っている方のバンクへのアクセスがあった場合は、前述の実施形態で示したようなデータ転送の中断、再開の手順を行なうことにより、競合したデータ転送を順次処理できる。

## 【 0 0 5 3 】

また、バンク毎に格納するデータの種類を決めておけば、外部からのアクセス

と内部転送との競合の頻度を低減できる。例えば、バンク 1 (4 0 a) はユーザデータ専用、バンク 2 (4 0 b) はオペレーティングシステムやアプリケーションプログラム専用としておけば、バンク 2 (4 0 b) へアクセスするのは基本的に CPU 7 0 だけであり、アクセス競合が発生するのは、バンク 1 のユーザデータを取り扱う場合だけに限定されるため、実質的に競合の頻度を低減でき、システムの効率を向上できる。

## 【 0 0 5 4 】

なお、本実施形態では、2つのバンクに分割した場合について説明したが、システム構成、用途に応じてより多くのバンクに分割してもよい。

## 【 0 0 5 5 】

実施の形態 4.

図 7 に半導体記憶装置のさらに別の実施形態の構成を示す。本実施形態においては、内蔵するランダムアクセスメモリとして、デュアルポート機能を有する擬似 SRAM 4 0 " を用いている。デュアルポート機能を有する擬似 SRAM 4 0 " に対してはデータの書き込み、読み出しを同時に行なうことができ、擬似 SRAM 4 0 " に対する CPU とフラッシュメモリの双方からの同時アクセスに対して調停が不要となる。

## 【 0 0 5 6 】

図 7 に示すように、擬似 SRAM 4 0 " と CPU 7 0 間、及び擬似 SRAM 4 0 " とフラッシュメモリ 6 0 間のデータバスを、デュアルポートに対応させることにより、CPU 7 0 とフラッシュメモリ 6 0 が擬似 SRAM 4 0 " に対しそれぞれ常時アクセス可能となり、内部転送途中でデータ転送を中断させるような競合調停処理が不要となる。

## 【 0 0 5 7 】

すなわち、プログラムコードもユーザデータも擬似 SRAM 4 0 " 上の同一のメモリ空間に展開した場合に、アクセスの競合を避けるため、プログラムコード格納専用バンクやメモリを準備する必要がなくなり、前述の実施形態に比し、さらにチップサイズ及び製造コストを削減することができ、また、外部アクセスに対する応答性も向上できる。

## 【 0 0 5 8 】

実施の形態 5.

前述の実施の形態で示した各半導体記憶装置における、本発明に係るブートコード転送機能について説明する。

## 【 0 0 5 9 】

本発明の「ブート転送機能」とは、パワーオンリセット信号（半導体記憶装置の電源オンによるリセットを指示する信号）がアクティブになったときに、フラッシュメモリ（60）の所定の領域から、擬似SRAM40、40'…の所定の領域へのデータ転送を自動的に実行する機能である。このとき、転送されるデータは、電源投入時にCPU70が最初に読み込むデータであるブートコードである。そのブートコードはフラッシュメモリ（60）の所定の領域に格納されている。

## 【 0 0 6 0 】

パワーオンリセット信号がアクティブになると、RAM10内に設けたフラッシュコントローラ20のレジスタ群21が初期化され、各レジスタの値はデフォルト値に設定される。このデフォルト値は、ブート転送を実行するのに必要な値に設定されており、それにより、パワーオンリセットに連動してブートコードが転送される。ブートコードの転送に必要なデータには、フラッシュメモリ60の転送元データの先頭アドレス、擬似SRAM40…上の転送先の先頭アドレス、及び転送セクタ数が含まれる。これらの情報は以下に示すように所定のレジスタにデフォルト値として設定される。

【表1】

レジスタ	デフォルト値の内容
スタートアドレスレジスタ	フラッシュメモリ上の転送元データの先頭アドレス
PSRAMアドレスレジスタ	擬似SRAM上の転送先の先頭アドレス
転送カウントレジスタ	ブート転送する全セクタ数 (ブートコードのサイズ)

## 【0061】

パワーオンリセットにしたがい、レジスタ群21の各レジスタの値がデフォルト値に設定され、最後にコマンドレジスタ21aの値が設定されると、レジスタのデフォルト値にしたがい、フラッシュメモリ60の所定の領域から擬似SRAM40…の所定の領域へブートコードのロードが自動的に開始される。

## 【0062】

上記のように電源投入と同時に擬似SRAM40…にブートコードを展開することにより、従来のシステムに必要であったブートコードを格納するための専用のメモリを準備する必要がなくなり、半導体記憶装置の構成部品数を低減でき、これにより、製造コストの低減、実装面積の縮小が可能となる。

## 【0063】

ブートコードの展開先となる擬似SRAM40…はDRAMセルを使用しているため、データ保持のため定期的にはリフレッシュ動作を実行する必要がある。また、リフレッシュ動作には、消費電力を低減する目的からメモリセル領域を分割し、必要な領域のみデータ保持領域としてリフレッシュするもの（以下「部分リフレッシュ」という。）がある。そこで、擬似SRAM上のブートコードを格納する領域を、ブート転送と同時に自動的にデータ保持領域として設定し、それにより、擬似SRAM上のブートコードを格納した領域に対し部分リフレッシュが行なわれるようにする。このように設定することにより、転送したブートコードを部分リフレッシュにより確実に保持しながら、消費電力を最小限に抑えることができる。なお、ブートコードを格納する領域以外についても必要に応じてデータ保持領域として設定してもよい。

## 【0064】

また、図8に示すように、フラッシュメモリ60の各セクタに、そのセクタに格納されているデータがブートコードであるか否かを示すフラグ61を持たせてもよい。これにより、ブートコードが、異なるメモリブロックに分割して格納されていても、このフラグ61に基づいてブートコードを検索して、その転送を実行できる。さらに、このフラグ61を参照することにより、そのセクタに格納されているデータの種別が判断できるため、格納されているデータを不用意に書き替

えたり、消去したりしないよう管理することも可能となる。例えば、ユーザデータが格納されている場合に、不用意に書き替えたり、消去したりしないようにできる。

【 0 0 6 5 】

なお、各セクタに、そのセクタの次のセクタがブートコードを格納しているか否かを示すフラグを設けてもよい。これによっても上記のフラグ 6 1 と同様の効果を得ることができる。

、 【 0 0 6 6 】

【発明の効果】

本発明によれば、不揮発性の第 1 のメモリと、ランダムアクセス可能な第 2 のメモリとを 1 つのパッケージに封止した半導体記憶装置において、第 1 のメモリと第 2 のメモリ間のデータ転送動作中に外部の CPU から転送要求があった場合の競合調停が可能になる。

【 0 0 6 7 】

また、電源投入時に第 1 のメモリから第 2 のメモリへ自動的に所定のデータがロードされるため、所定のデータを格納する専用の記憶手段が不要となり、回路規模、製造コストを低減できる。

【図面の簡単な説明】

【図 1】 本発明に係る半導体記憶装置の構成図（実施の形態 1）

【図 2】 半導体記憶装置の M C P 構成を示す図

【図 3】 半導体記憶装置の内部転送の中断動作を説明するための図

【図 4】 半導体記憶装置の内部転送の再開動作を説明するための図

【図 5】 実施の形態 2 の半導体記憶装置の内部サスペンドビットを説明するための図

【図 6】 2 つのバンクを有する擬似 S R A M を備えた本発明に係る半導体記憶装置の構成図（実施の形態 3）

【図 7】 デュアルポート擬似 S R A M を備えた本発明に係る半導体記憶装置の構成図（実施の形態 4）

【図 8】 フラッシュメモリの各セクタに設けられた、セクタに格納された

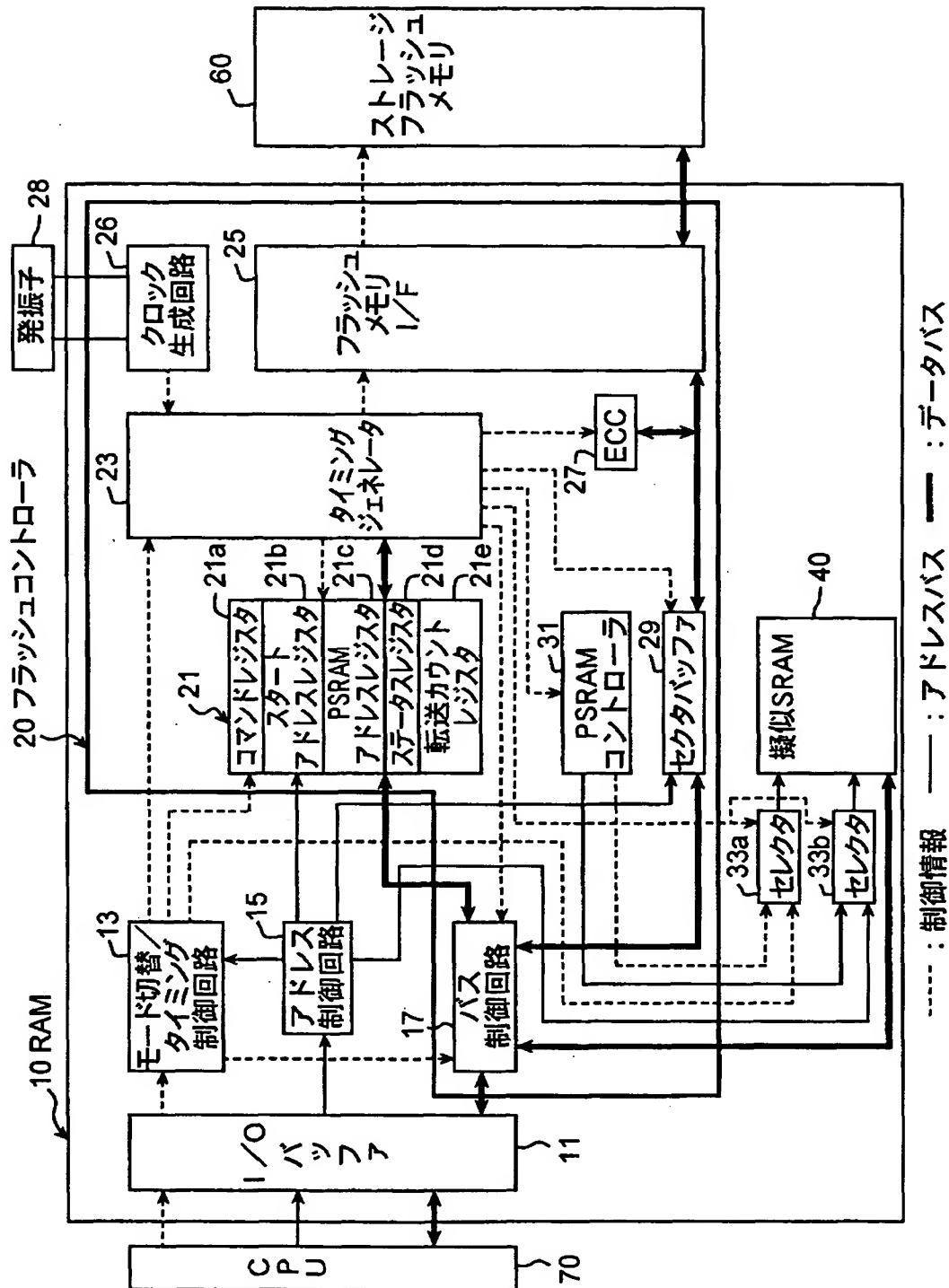
データがブートコードか否かを示すフラグを説明した図

【符号の説明】

1 0, 1 0', 1 0" RAM、 2 0 フラッシュコントローラ、 2 2 x  
内部転送サスペンド・ビット 3 1 P S R A M コントローラ、 4 0, 4 0'  
, 4 0" 擬似 S R A M、 6 0 ストレージフラッシュメモリ、 6 1 セク  
タに格納されたデータがブートコードか否かを示すフラグ、 7 0 C P U、  
1 0 0 M C P。

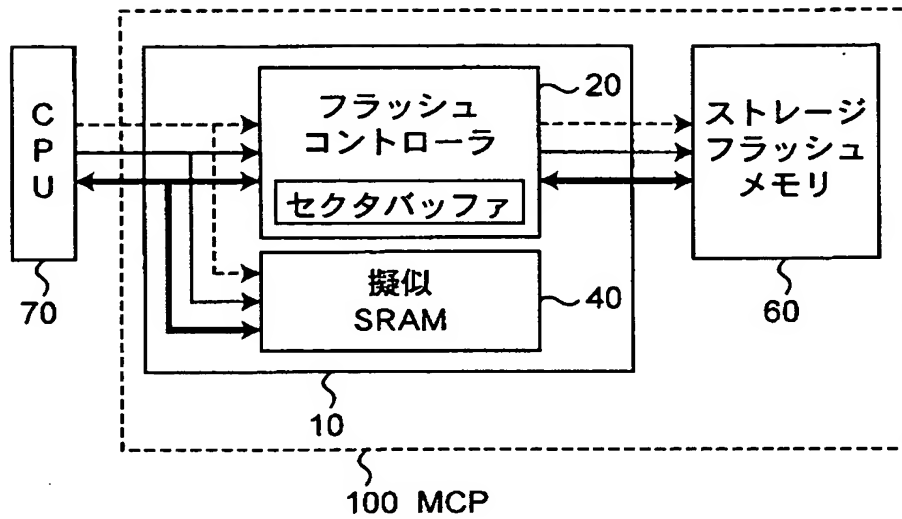
【書類名】 図面

【図 1】

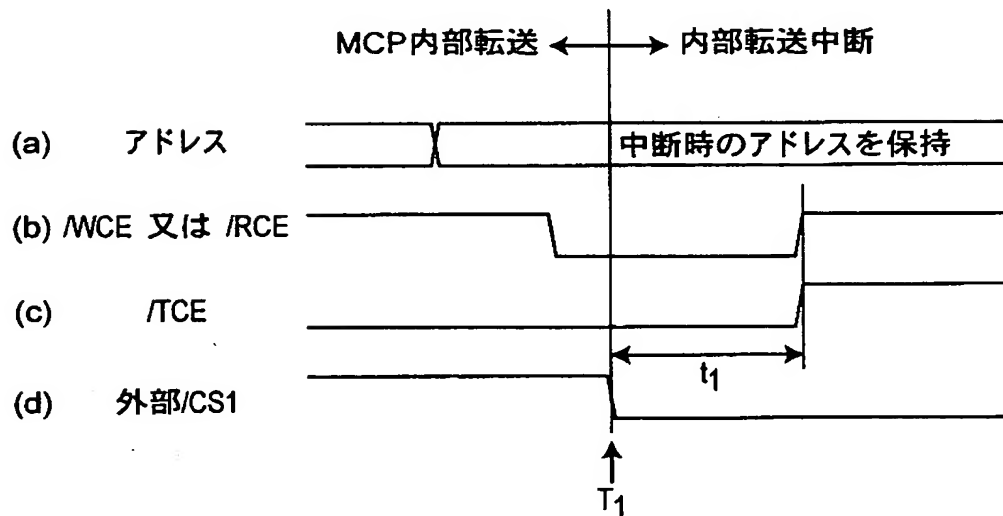




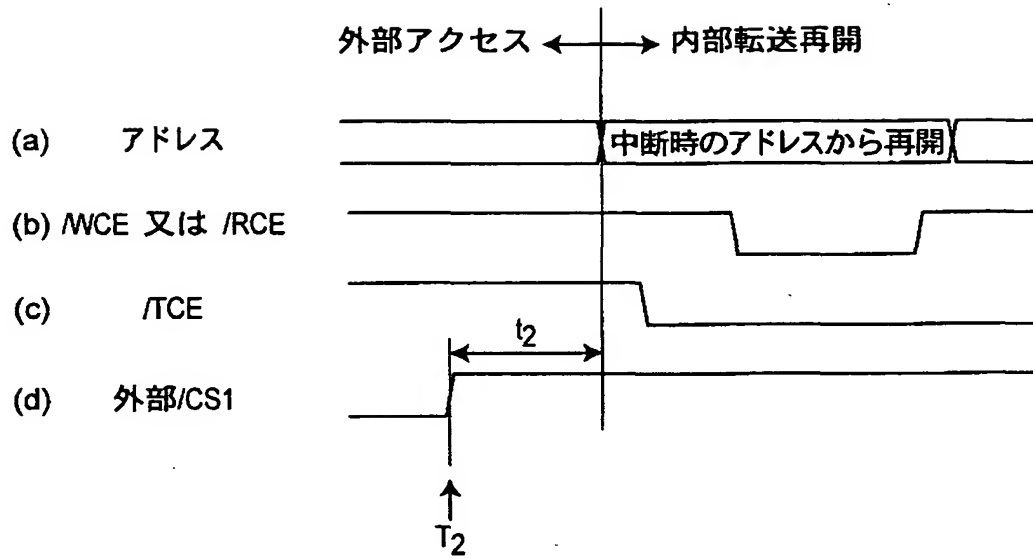
【図 2】



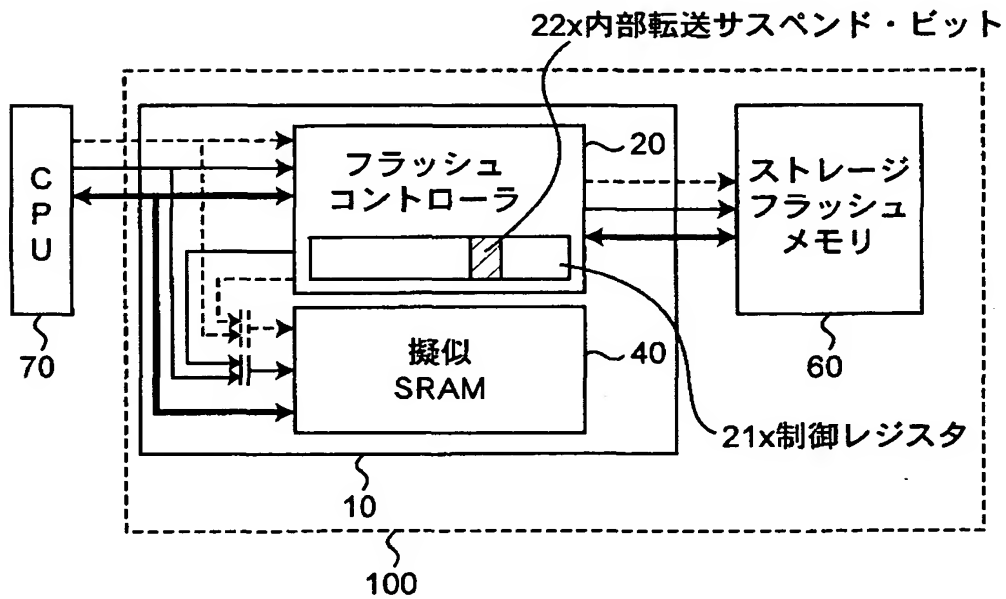
【図 3】



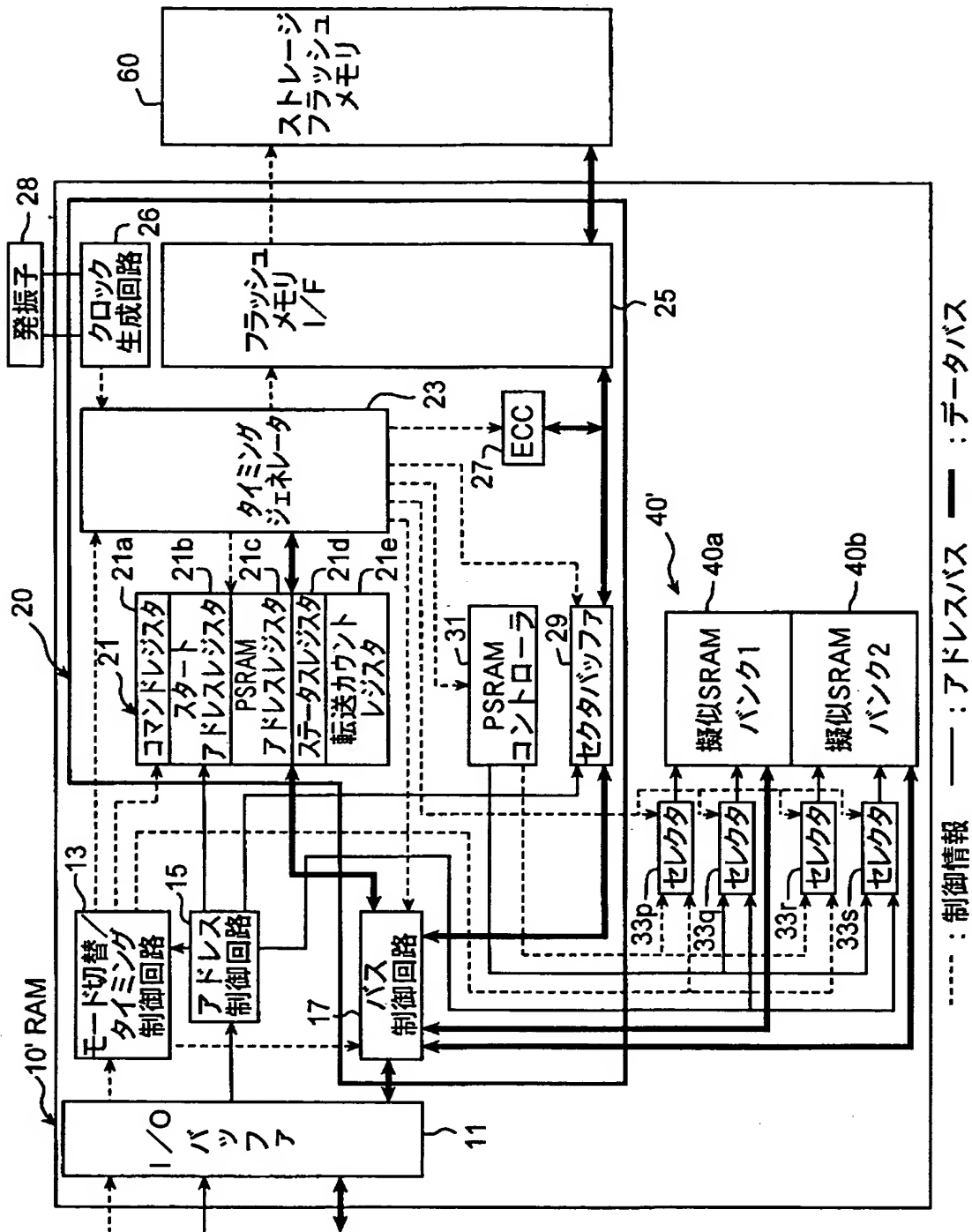
【図 4】



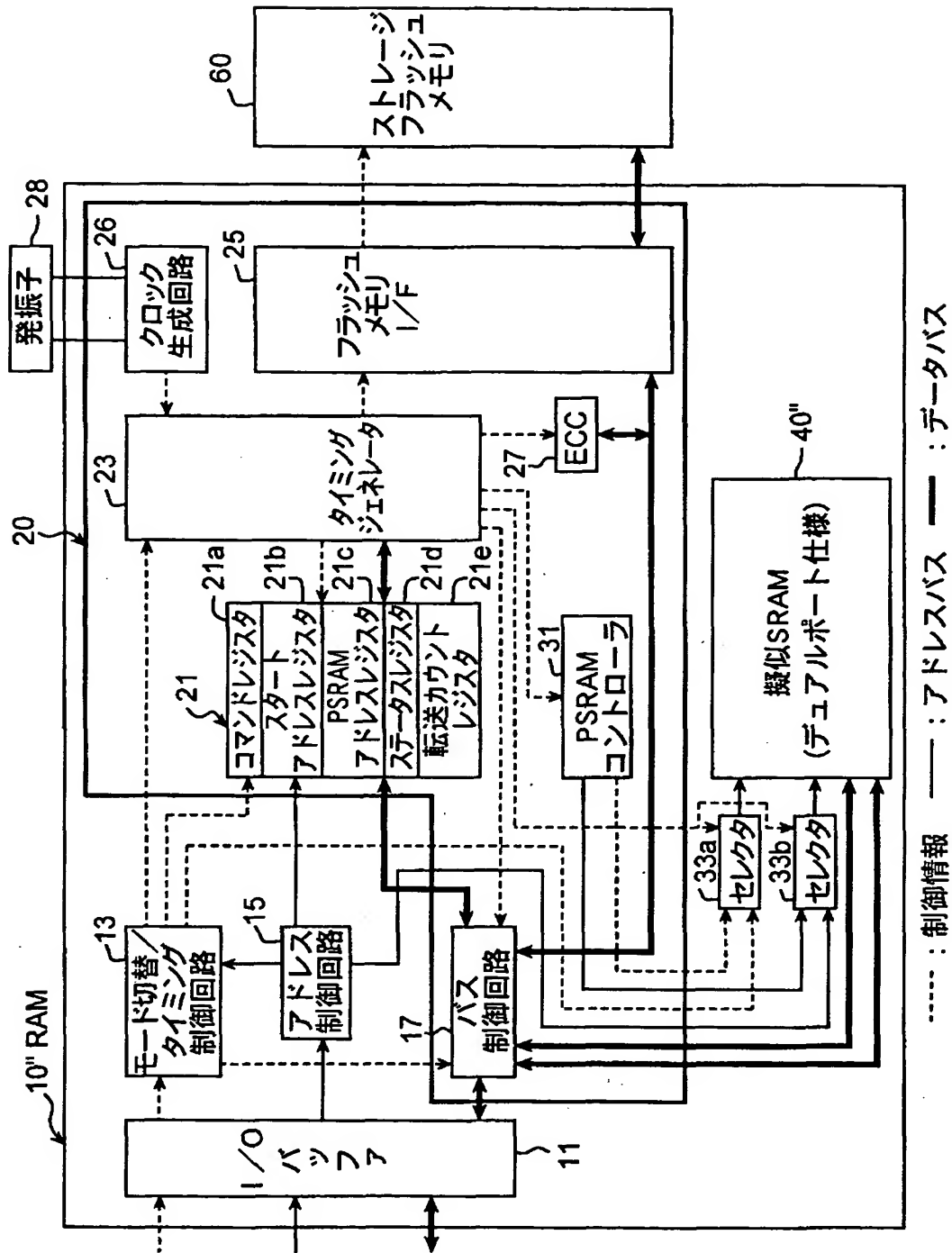
【図 5】



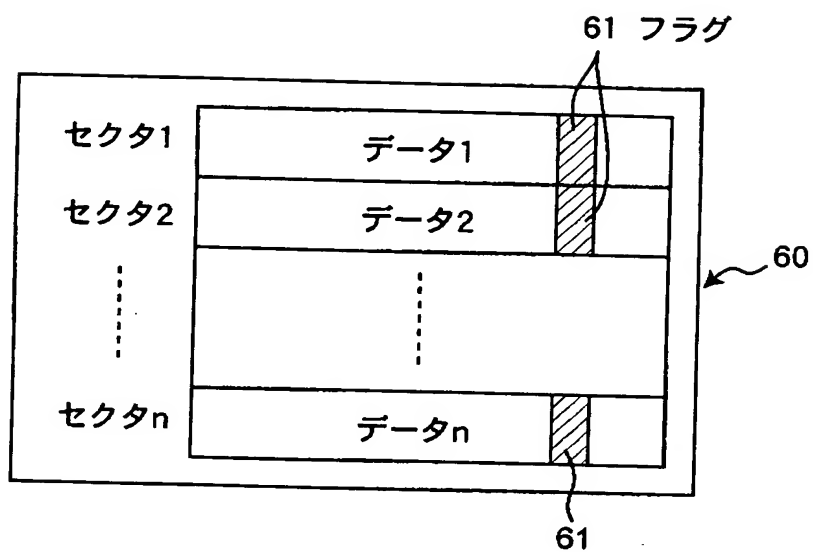
【図 6】



【図 7】



【図 8】



【書類名】            要約書

【要約】

【課題】    フラッシュメモリと擬似 S R A M を M C P にした半導体記憶装置において、内部データ転送動作中に外部 C P U から転送要求があったときの競合調停を可能とする。

【解決手段】    フラッシュメモリ 6 0 と、擬似 S R A M 4 0 を内蔵した R A M 1 0 とを M C P にした半導体装置において、擬似 S R A M 4 0 に対する制御信号として、フラッシュメモリ 6 0 と擬似 S R A M 4 0 間のデータ転送を制御する内部転送用制御信号と、外部 C P U 7 0 と擬似 S R A M 4 0 間のデータ転送を制御する外部転送用の制御信号とを規定する。 R A M 1 0 内のフラッシュコントローラ 2 0 は、フラッシュメモリ 6 0 と擬似 S R A M 4 0 間の内部データ転送中に、外部 C P U 7 0 から擬似 S R A M 4 0 に対してアクセス要求があったときに、その内部データ転送を中断するよう内部転送用制御信号を制御する。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [ 5 9 1 0 3 6 4 5 7 ]

1. 変更年月日 1 9 9 1 年 2 月 2 6 日

[変更理由] 新規登録

住 所 東京都千代田区大手町2丁目6番2号

氏 名 三菱電機エンジニアリング株式会社